32ch DAC BORD
LF70
取扱説明書

2012/07/19

この度は、AD5383搭載DACボード LF70をお買い上げいただき、
誠にありがとうございます。

梱包内容をご確認下さい。

- LF70 × 1枚
- IL-G-5 ハウジング(IL-G-5S-S3C2-SA) × 1個
- IL-G用コンタクト(IL-G-C2-SC) × 5個
- PC/104用金属スペーサ×4本
- マニュアルCDR×1枚

＊ご注意事項
1) 本製品及び本書の内容については、改良のために予告なく変更することがあります。
2) 本製品を使用した結果の他への影響については、責任は負いかねますので、ご了承下さい。
3) 本製品を安全にご使用いただくために、特に以下の点にご注意下さい。



本製品には一般電子機器用(OA機器・通信機器・計測機器・工作機器等)に製造された半導体部品を使用しておりますので、その誤動作や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置(医療機器・交通機器・燃焼制御・安全装置等)に組み込んで使用しないで下さい。

また、半導体製品を使用した製品は、外来ノイズやサージにより誤動作したり故障したりする可能性がありますので、ご使用になる場合は万一誤動作、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計に万全を期されますようお願い申し上げます。

- 本取扱い説明書の閲覧には、Adobe社のAcrobatReaderが必要です。

本製品主要実装デバイス資料掲載URL
アナログデバイセズ
http://www.analog.com/

logic and firm
L&F
株式会社エル・アンド・エフ
〒175-0083 東京都板橋区徳丸4-2-9
Tel:03-5398-1116 Fax:03-5398-1181
Mail:l-and-f@l-and-f.co.jp
URL:http://www.l-and-f.co.jp

目次

表

図

1. 概要
LF70 は、アナログデバイセズ製 DA コンバータ　AD5383 を使用した PC/104 規格 DA コンバータボードです。

2. 特徴
- 1 枚のボードで 32CH の多出力が可能です。
- 全チャンネルの同期更新が可能です。
- チャンネルごとにプログラマブルなオフセット調整とゲイン調整機能が可能です。
- PC/104 規格は 8BIT、16BIT の両方に対応しています。
- 出力範囲は 0～＋5V/12BIT 分解能です。

3. 一般仕様
表 1 に LF70 の一般仕様を示します。

表 1 LF70 の一般仕様

項　　目	内　　容
動作電圧範囲	DC+5V±5%（DC±12V は LF70 内部では消費しません）
消費電流	104mA（出力無負荷）　注）DAC 出力に接続した負荷によって変動します。
動作温度範囲	0°C～+50°C（結露なきこと）
保存温度範範囲	0°C～+70°C（結露なきこと）
外形寸法	90.1mm×95.8mm
質量	67g

4. ブロック図

下図にブロックを示します。

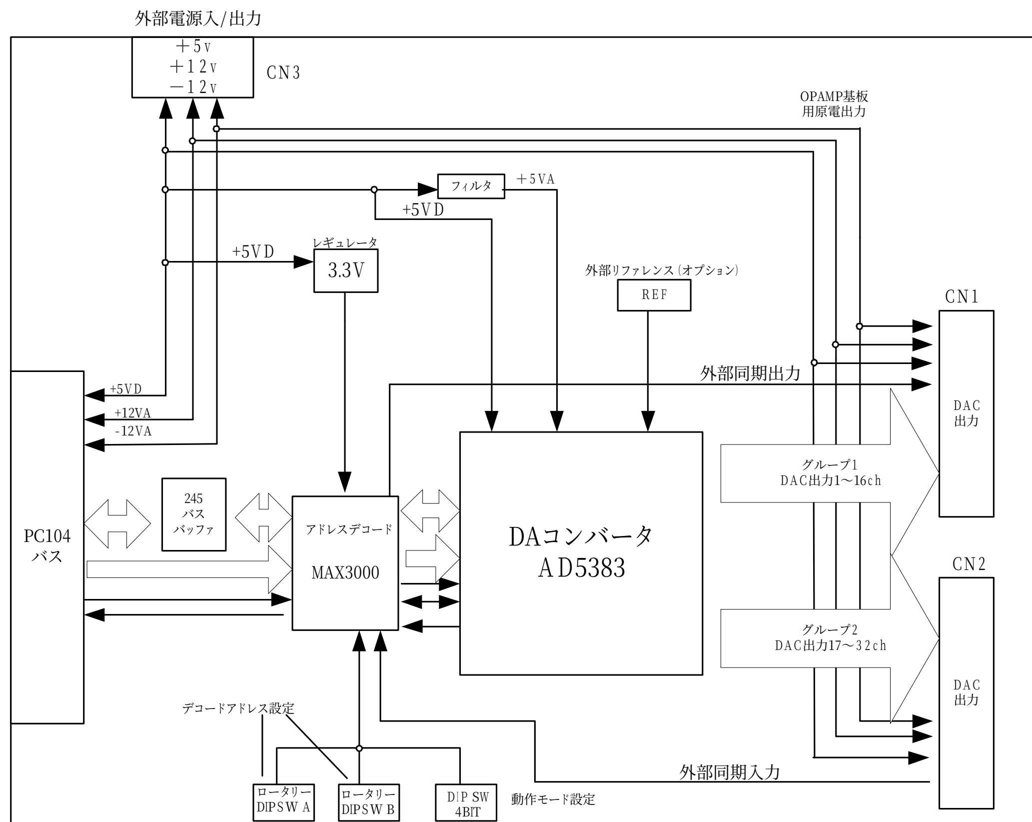


図 1 LF70 ブロック図

5. アドレスマップ

5-1)CPU からアクセスできる LF70 内レジスタのアドレスマップについて説明します。

表 2 LF70 アドレスマップ

オフセット	名称	R/W	機能
H'**30	LDADRSSEL0_A	R/W	DAC 出力更新アドレスセット(16BIT モード)
H'**30 H'**31			DAC 出力更新アドレスセット(8BIT モード)
H'**32	AD_CREG_A	R/W	AD5383 ハードウェアファンクション
H'**34	SW_RREG_A	R	スイッチ設定状態リードアドレス
H'**36	CPLDCREG_A	R/W	CPDL リセット

※R=リードのみ、W=ライトのみ、R/W=リードライト可能
※**はロータリースイッチ S3,S2 で設定した値。

5-2)CPU からアクセスできる AD5383 内レジスタのアドレスマップについて説明します。

表 3 AD5383 アドレスマップ

オフセット	名称	R/W	機能
H'**18	AD5383CRW_A	W	AD5383 コントロールレジスタ(16BIT モード)
H'**18 H'**19			AD5383 コントロールレジスタ(8BIT モード)
H'**C0～FE	DAC OUT	W	AD5383 DAC 出力データ(16BIT モード)
H'**C0～FF			AD5383DAC 出力データ(8BIT モード)
H'**80～BE	OFFSET	W	AD5383 オフセットデータ(16BIT モード)
H'**80～BF			AD5383 オフセットデータ(8BIT モード)
H'**40～7E	GAIN	W	AD5383 オフセットデータ(16BIT モード)
H'**40～7F			AD5383 オフセットデータ(8BIT モード)
H'**02	CLR CODE	W	AD5383 CLR コード書き込み
H'**04	SOFT CLR	W	AD5383 ソフト CLR
H'**10	SOFT POWER DOWN	W	AD5383 ソフトパワーダウン
H'**12	SOFT POWER UP	W	AD5383 ソフトパワーアップ
H'**14	CHANNEL MONITOR	W	AD5383 チャンネルモニター(16BIT モード)
H'**14 H'**15		W	AD5383 チャンネルモニター(8BIT モード)
H'**1E	SOFT RESET	W	AD5383 ソフトリセット

※R=リードのみ、W=ライトのみ、R/W=リードライト可能
※**はロータリースイッチ S3,S2 で設定した値。

6. LF70 レジスタ機能説明

この項では F70 レジスタアドレスマップと、AD5383 内レジスタの機能について説明します。

6-1). [LDADRSSEL0_A]

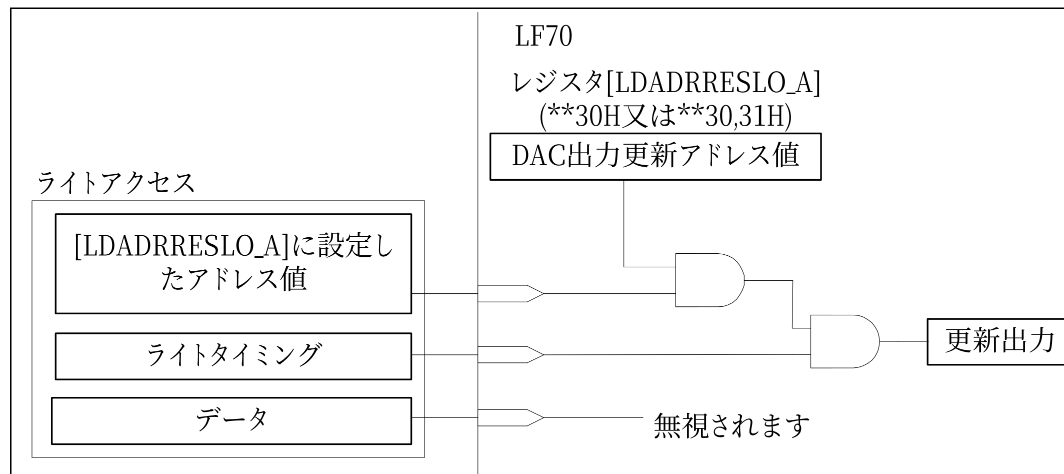
ソフトウェアによる DAC 出力更新のアドレスを設定します。

LF70 は、このレジスタに格納されていているアドレス値と(任意のデータを)ライトアクセスした際のアドレス値を比較し同一であれば DAC 出力を更新します。(図 2 参照)

更新出力のためにライトしたデータは無視されます。

また、この機能によって、本基板を複数枚使用するとき、同一のアドレスを各々の基板に設定すると、同時に変換出力を命令することが出来ます。

図 2 ソフトウェアによる DAC 出力更新のしくみ



16 ビットモード時

表 4 16 ビットモード時の LF70 の DAC 出力更新アドレス

アドレス	データ	R/W 値	設定項目/状態	機能
H'**30	D15～D0	16 ビットデータ	DAC 出力更新アドレス設定	DAC 出力更新アドレス

※**はロータリースイッチ S3,S2 で設定した値。

8 ビットモード時

8BIT 時の上位,下位アクセス順序に制限はありません。

表 5 8 ビットモード時の LF70 の DAC 出力更新アドレス

アドレス	データ	R/W 値	設定項目/状態	機能
H'**30	D7～D0	8 ビットデータ	DAC 出力更新アドレス下位設定	DAC 出力更新アドレス(下位)
H'**31	D7～D0	8 ビットデータ	DAC 出力更新アドレス上位設定	DAC 出力更新アドレス(上位)

※**はロータリースイッチ S3,S2 で設定した値。

6-2). [AD_CREG_A]

AD5383 のハードウェアファンクション設定をリード/ライトします

表 6 AD5383 のハードウェアファンクション設定レジスタのアドレス

アドレス	Bit	W/R 値	設定項目/状態	機能
H'**32	0	0	トグルモード時 A レジスタを選択	トグルモードレジスタ選択
		1	トグルモード時 B レジスタを選択	
	1	0	非同期クリアを実行します	非同期クリア
		1	非同期クリアを実行しません	
	2		使用しません	使用しません
	3	0	パワーダウンモードを終わります	パワーダウン
		1	パワーダウンモードに入ります	
	4	※0	AD5383 がビジー	ビジー状態
		※1	AD5383 がビジーではない	
	5～15	使用しません		

※bit D4 はリードのみ可能です。
※ハードウェアファンクション動作の詳細は AD5383 のデータシートを参照して下さい。
※**はロータリースイッチ S3,S2 で設定した値。

6-3).［SW_RREG_A］

本基板の動作モードのスイッチ設定を確認できます。

表 7 LF70 のスイッチ設定状態リードアドレスとスイッチ設定内容

アドレス	Bit	READ 値	設定項目/状態	機能
H'**34	0	0	16BIT モード	データバイト幅
		1	8BIT モード	
	1	0	PC/104 バス SBHE を使用する	SBHE の使用
		1	PC/104 バス SBHE を使用しない	
	2	0	ビッグエンディアン	エンディアン 切り替え
		1	リトルエンディアン	
	3	0	外部信号で出力値更新	出力更新選択
		1	ソフトウェアで出力値更新	
	4～15	0	使用しません	

※スイッチ設定の内容は「7．スイッチ設定」を参照してください。
※**はロータリースイッチ S3,S2 で設定した値。

6-4).［CPLDCREG_A］

LF70 内の DAC 出力更新アドレスの内容、LF70 内の AD5383 コントロールレジスタの内容を初期化します。任意のデータをライトしてください。

16 ビットモード時

表 8 16 ビットモード時の LF70 初期化レジスタ

アドレス	データ	R/W 値	設定項目/状態	機能
H'**36	D15～D0	16bit データ	任意データ	LF70 レジスタ初期化

※**はロータリースイッチ S3,S2 で設定した値。

8 ビットモード時

表 9 8 ビットモード時の初期化レジスタ

アドレス	データ	R/W 値	設定項目/状態	機能
H'**36	D7～D0	8bit データ	任意データ	LF70 レジスタ初期化

※上位アドレスは使用しません
※**はロータリースイッチ S3,S2 で設定した値。

7. AD5383 内レジスタ機能説明

7-1). [AD5383CRW_A]

AD5383 オンチップスペシャルファンクションレジスタ内のコントロールレジスタをライトすることが出来ます。

16 ビットモード時

表 10 AD5383 コントロールレジスタ

アドレス	Bit	W 値	設定項目/状態	機能
H'**18	0	0	ディスエイブル	トグルファンクション イネーブル　グループ 0
		1	イネーブル	
	1	0	ディスエイブル	トグルファンクション イネーブル　グループ 1
		1	イネーブル	
	2	0	ディスエイブル	トグルファンクション イネーブル　グループ 2
		1	イネーブル	
	3	0	ディスエイブル	トグルファンクション イネーブル　グループ 3
		1	イネーブル	
	4	※	-	使用しません
		※	-	
	5	※	-	使用しません
		※	-	
	6	0	ディスエイブル	サーマルモニターファンクション
		1	イネーブル	
	7	0	ディスエイブル	チャンネルモニタイネーブル
		1	イネーブル	
	8	0	外部リファレンス	リファレンス入力 内/外部切り換え
		1	内部リファレンス	
	9	0	ブートモード ON	カレントブートコントロール
		1	ブートモード OFF	
	10	0	内部 1.25V リファレンス	リファレンスセレクト
		1	内部 2.5V リファレンス	
	11	0	アンプ出力 100KΩ-GND	パワーダウンステータス
		1	アンプ出力 HI インピーダンス	
	12～15		使用しません	使用しません

※ AD5383 コントロールレジスタの詳細は AD5383 のデータシートを参照して下さい。
※ **はロータリースイッチ S3,S2 で設定した値。

8 ビットモード時

表 11 AD5383 コントロールレジスタ 下位

アドレス	Bit	W 値	設定項目/状態	機能
H'**18	0	0	ディスエイブル	トグルファンクション イネーブル グループ 0
		1	イネーブル	
	1	0	ディスエイブル	トグルファンクション イネーブル グループ 1
		1	イネーブル	
	2	0	ディスエイブル	トグルファンクション イネーブル グループ 2
		1	イネーブル	
	3	0	ディスエイブル	トグルファンクション イネーブル グループ 3
		1	イネーブル	
	4	※	-	使用しません
		※	-	
	5	※	-	使用しません
		※	-	
	6	0	ディスエイブル	サーマルモニターファンクション
		1	イネーブル	
	7	0	ディスエイブル	チャンネルモニタイネーブル
		1	イネーブル	

※AD5383 コントロールレジスタの詳細は AD5383 のデータシートを参照して下さい。
※**はロータリースイッチ S3,S2 で設定した値。

表 12 AD5383 コントロールレジスタ 上位

アドレス	Bit	W 値	設定項目/状態	機能
H'**19	0	0	外部リファレンス	リファレンス入力 内/外部切り換え
		1	内部リファレンス	
	1	0	ブートモード ON	カレントブートコントロール
		1	ブートモード OFF	
	2	0	内部 1.25V リファレンス	リファレンスセレクト
		1	内部 2.5V リファレンス	
	3	0	アンプ出力 100KΩ-GND	パワーダウンステータス
		1	アンプ出力 HI インピーダンス	
	4～7		使用しません	使用しません

※AD5383 コントロールレジスタの詳細は AD5383 のデータシートを参照して下さい。
※**はロータリースイッチ S3,S2 で設定した値。

7-2). [DAC OUT]

DAC 出力データをライトします。A5～A1 で DAC チャンネルを選択します。
※DAC データの詳細については AD5383 のデータシートを参照して下さい。

16 ビットモード時

表 13　16 ビットモード時の AD5383 の DAC データレジスタ

アドレス	Bit	W 値	設定項目/状態	機能
H'**C0			1CH データ	
H'**C2			2CH データ	
H'**C4			3CH データ	
H'**C6			4CH データ	
H'**C8			5CH データ	
H'**CA			6CH データ	
H'**CC			7CH データ	
H'**CE			8CH データ	
H'**D0			9CH データ	
H'**D2			10CH データ	
H'**D4			11CH データ	
H'**D6			12CH データ	
H'**D8			13CH データ	
H'**DA			14CH データ	
H'**DC			15CH データ	
H'**DE	D11～D0	H'0FFF～H'0	16CH データ	DAC データ
H'**E0			17CH データ	
H'**E2			18CH データ	
H'**E4			19CH データ	
H'**E6			20CH データ	
H'**E8			21CH データ	
H'**EA			22CH データ	
H'**EC			23CH データ	
H'**EE			24CH データ	
H'**F0			25CH データ	
H'**F2			26CH データ	
H'**F4			27CH データ	
H'**F6			28CH データ	
H'**F8			29CH データ	
H'**FA			30CH データ	
H'**FC			31CH データ	
H'**FE			32CH データ	

※ **はロータリースイッチ S3,S2 で設定した値。

8 ビットモード時　8BIT 時は下位→上位の順にアクセスして下さい。

表 14 8 ビットモード時の AD5383 の DAC データレジスタ

アドレス	Bit	W 値	設定項目/状態	機能
H'**C0	D7～D0	H'FF～H'0	1CH 下位データ	DAC データ
H'**C1	D3～D0	H'F～H'0	1CH 上位データ	
H'**C2	D7～D0	H'FF～H'0	2CH 下位データ	
H'**C3	D3～D0	H'F～H'0	2CH 上位データ	
H'**C4	D7～D0	H'FF～H'0	3CH 下位データ	
H'**C5	D3～D0	H'F～H'0	3CH 上位データ	
H'**C6	D7～D0	H'FF～H'0	4CH 下位データ	
H'**C7	D3～D0	H'F～H'0	4CH 上位データ	
H'**C8	D7～D0	H'FF～H'0	5CH 下位データ	
H'**C9	D3～D0	H'F～H'0	5CH 上位データ	
H'**CA	D7～D0	H'FF～H'0	6CH 下位データ	
H'**CB	D3～D0	H'F～H'0	6CH 上位データ	
H'**CC	D7～D0	H'FF～H'0	7CH 下位データ	
H'**CD	D3～D0	H'F～H'0	7CH 上位データ	
H'**CE	D7～D0	H'FF～H'0	8CH 下位データ	
H'**CF	D3～D0	H'F～H'0	8CH 上位データ	
H'**D0	D7～D0	H'FF～H'0	9CH 下位データ	
H'**D1	D3～D0	H'F～H'0	9CH 上位データ	
H'**D2	D7～D0	H'FF～H'0	10CH 下位データ	
H'**D3	D3～D0	H'F～H'0	10CH 上位データ	
H'**D4	D7～D0	H'FF～H'0	11CH 下位データ	
H'**D5	D3～D0	H'F～H'0	11CH 上位データ	

※ **はロータリースイッチ S3,S2 で設定した値。

続く

続き

アドレス	Bit	W 値	設定項目/状態	機能
H’**D6	D7～D0	H’FF～H’0	2CH 下位データ	DAC データ
H’**D7	D3～D0	H’F～H’0	2CH 上位データ	
H’**D8	D7～D0	H’FF～H’0	3CH 下位データ	
H’**D9	D3～D0	H’F～H’0	3CH 上位データ	
H’**DA	D7～D0	H’FF～H’0	14CH 下位データ	
H’**DB	D3～D0	H’F～H’0	14CH 上位データ	
H’**DC	D7～D0	H’FF～H’0	15CH 下位データ	
H’**DD	D3～D0	H’F～H’0	15CH 上位データ	
H’**DE	D7～D0	H’FF～H’0	16CH 下位データ	
H’**DF	D3～D0	H’F～H’0	16CH 上位データ	
H’**E0	D7～D0	H’FF～H’0	17CH 下位データ	
H’**E1	D3～D0	H’F～H’0	17CH 上位データ	
H’**E2	D7～D0	H’FF～H’0	18CH 下位データ	
H’**E3	D3～D0	H’F～H’0	18CH 上位データ	
H’**E4	D7～D0	H’FF～H’0	19CH 下位データ	
H’**E5	D3～D0	H’F～H’0	19CH 上位データ	
H’**E6	D7～D0	H’FF～H’0	20CH 下位データ	
H’**E7	D3～D0	H’F～H’0	20CH 上位データ	
H’**E8	D7～D0	H’FF～H’0	21CH 下位データ	
H’**E9	D3～D0	H’F～H’0	21CH 上位データ	
H’**EA	D7～D0	H’FF～H’0	22CH 下位データ	
H’**EB	D3～D0	H’F～H’0	22CH 上位データ	
H’**EC	D7～D0	H’FF～H’0	23CH 下位データ	
H’**ED	D3～D0	H’F～H’0	23CH 上位データ	
H’**EE	D7～D0	H’FF～H’0	24CH 下位データ	
H’**EF	D3～D0	H’F～H’0	24CH 上位データ	
H’**F0	D7～D0	H’FF～H’0	25CH 下位データ	
H’**F1	D3～D0	H’F～H’0	25CH 上位データ	

※ **はロータリースイッチ S3,S2 で設定した値。

続く

続き

アドレス	Bit	W 値	設定項目/状態	機能
H'**F2	D7～D0	H'FF～H'0	26CH 下位データ	DAC データ
H'**F3	D3～D0	H'F～H'0	26CH 上位データ	
H'**F4	D7～D0	H'FF～H'0	27CH 下位データ	
H'**F5	D3～D0	H'F～H'0	27CH 上位データ	
H'**F6	D7～D0	H'FF～H'0	28CH 下位データ	
H'**F7	D3～D0	H'F～H'0	28CH 上位データ	
H'**F8	D7～D0	H'FF～H'0	29CH 下位データ	
H'**F9	D3～D0	H'F～H'0	29CH 上位データ	
H'**FA	D7～D0	H'FF～H'0	30CH 下位データ	
H'**FB	D3～D0	H'F～H'0	30CH 上位データ	
H'**FC	D7～D0	H'FF～H'0	31CH 下位データ	
H'**FD	D3～D0	H'F～H'0	31CH 上位データ	
H'**FE	D7～D0	H'FF～H'0	32CH 下位データ	
H'**FF	D3～D0	H'F～H'0	32CH 上位データ	

※ **はロータリースイッチ S3,S2 で設定した値。

7-3)．[OFFSET]

オフセットデータをライトします。A5～A1 で DAC チャンネルを選択します。
※オフセットデータの詳細については AD5383 のデータシートを参照して下さい。

16 ビットモード時

表 15　16 ビットモード時の AD5383 の OFFSET データレジスタ

アドレス	Bit	W 値	設定項目/状態	機能
H’**80			1CH データ	
H’**82			2CH データ	
H’**84			3CH データ	
H’**86			4CH データ	
H’**88			5CH データ	
H’**8A			6CH データ	
H’**8C			7CH データ	
H’**8E			8CH データ	
H’**90			9CH データ	
H’**92			10CH データ	
H’**94			11CH データ	
H’**96			12CH データ	
H’**98			13CH データ	
H’**9A			14CH データ	
H’**9C			15CH データ	
H’**9E	D11～D0	H’0FFF～H’0	16CH データ	OFFSET データ
H’**A0			17CH データ	
H’**A2			18CH データ	
H’**A4			19CH データ	
H’**A6			20CH データ	
H’**A8			21CH データ	
H’**AE			22CH データ	
H’**AC			23CH データ	
H’**AE			24CH データ	
H’**B0			25CH データ	
H’**B2			26CH データ	
H’**B4			27CH データ	
H’**B6			28CH データ	
H’**B8			29CH データ	
H’**BA			30CH データ	
H’**BC			31CH データ	
H’**BE			32CH データ	

※ **はロータリースイッチ S3,S2 で設定した値。

8ビットモード時　8BIT時は下位→上位の順にアクセスして下さい。

表 16　8ビットモード時のAD5383のOFFSETデータレジスタ

アドレス	Bit	W値	設定項目/状態	機能
H'**80	D7～D0	H'FF～H'0	1CH下位データ	OFFSETデータ
H'**81	D3～D0	H'F～H'0	1CH上位データ	
H'**82	D7～D0	H'FF～H'0	2CH下位データ	
H'**83	D3～D0	H'F～H'0	2CH上位データ	
H'**84	D7～D0	H'FF～H'0	3CH下位データ	
H'**85	D3～D0	H'F～H'0	3CH上位データ	
H'**86	D7～D0	H'FF～H'0	4CH下位データ	
H'**87	D3～D0	H'F～H'0	4CH上位データ	
H'**88	D7～D0	H'FF～H'0	5CH下位データ	
H'**89	D3～D0	H'F～H'0	5CH上位データ	
H'**8A	D7～D0	H'FF～H'0	6CH下位データ	
H'**8B	D3～D0	H'F～H'0	6CH上位データ	
H'**8C	D7～D0	H'FF～H'0	7CH下位データ	
H'**8D	D3～D0	H'F～H'0	7CH上位データ	
H'**8E	D7～D0	H'FF～H'0	8CH下位データ	
H'**8F	D3～D0	H'F～H'0	8CH上位データ	
H'**90	D7～D0	H'FF～H'0	9CH下位データ	
H'**91	D3～D0	H'F～H'0	9CH上位データ	
H'**92	D7～D0	H'FF～H'0	10CH下位データ	
H'**93	D3～D0	H'F～H'0	10CH上位データ	

※ **はロータリースイッチS3,S2で設定した値。

続く

続き

アドレス	Bit	W 値	設定項目/状態	機能
H'**94	D7～D0	H'FF～H'0	11CH 下位データ	OFFSET データ
H'**95	D3～D0	H'F～H'0	11CH 上位データ	
H'**96	D7～D0	H'FF～H'0	12CH 下位データ	
H'**97	D3～D0	H'F～H'0	12CH 上位データ	
H'**98	D7～D0	H'FF～H'0	13CH 下位データ	
H'**99	D3～D0	H'F～H'0	13CH 上位データ	
H'**9A	D7～D0	H'FF～H'0	14CH 下位データ	
H'**9B	D3～D0	H'F～H'0	14CH 上位データ	
H'**9C	D7～D0	H'FF～H'0	15CH 下位データ	
H'**9D	D3～D0	H'F～H'0	15CH 上位データ	
H'**9E	D7～D0	H'FF～H'0	16CH 下位データ	
H'**9F	D3～D0	H'F～H'0	16CH 上位データ	
H'**A0	D7～D0	H'FF～H'0	17CH 下位データ	
H'**A1	D3～D0	H'F～H'0	17CH 上位データ	
H'**A2	D7～D0	H'FF～H'0	18CH 下位データ	
H'**A3	D3～D0	H'F～H'0	18CH 上位データ	
H'**A4	D7～D0	H'FF～H'0	19CH 下位データ	
H'**A5	D3～D0	H'F～H'0	19CH 上位データ	
H'**A6	D7～D0	H'FF～H'0	20CH 下位データ	
H'**A7	D3～D0	H'F～H'0	20CH 上位データ	
H'**A8	D7～D0	H'FF～H'0	21CH 下位データ	
H'**A9	D3～D0	H'F～H'0	21CH 上位データ	
H'**AA	D7～D0	H'FF～H'0	22CH 下位データ	
H'**AB	D3～D0	H'F～H'0	22CH 上位データ	
H'**AC	D7～D0	H'FF～H'0	23CH 下位データ	
H'**AD	D3～D0	H'F～H'0	23CH 上位データ	
H'**AE	D7～D0	H'FF～H'0	24CH 下位データ	
H'**AF	D3～D0	H'F～H'0	24CH 上位データ	
H'**B0	D7～D0	H'FF～H'0	25CH 下位データ	
H'**B1	D3～D0	H'F～H'0	25CH 上位データ	

※ **はロータリースイッチ S3,S2 で設定した値。

続く

続き

アドレス	Bit	W 値	設定項目/状態	機能
H’**B2	D7～D0	H’FF～H’0	26CH 下位データ	OFFSET データ
H’**B3	D3～D0	H’F～H’0	26CH 上位データ	
H’**B4	D7～D0	H’FF～H’0	27CH 下位データ	
H’**B5	D3～D0	H’F～H’0	27CH 上位データ	
H’**B5	D7～D0	H’FF～H’0	28CH 下位データ	
H’**B6	D3～D0	H’F～H’0	28CH 上位データ	
H’**B7	D7～D0	H’FF～H’0	29CH 下位データ	
H’**B8	D3～D0	H’F～H’0	29CH 上位データ	
H’**B9	D7～D0	H’FF～H’0	30CH 下位データ	
H’**BA	D3～D0	H’F～H’0	30CH 上位データ	
H’**BB	D7～D0	H’FF～H’0	31CH 下位データ	
H’**BC	D3～D0	H’F～H’0	31CH 上位データ	
H’**BD	D7～D0	H’FF～H’0	32CH 下位データ	
H’**BE	D3～D0	H’F～H’0	32CH 上位データ	

※ **はロータリースイッチ S3,S2 で設定した値。

7-4).［GAIN］

ゲインデータをライトします。A5～A1 で DAC チャンネルを選択します。
8BIT 時は下位→上位の順にアクセスして下さい。
※GAIN データの詳細については AD5383 のデータシートを参照して下さい。

16 ビットモード時

表 17　16 ビットモード時の AD5383 の GAIN データレジスタ

アドレス	Bit	W 値	設定項目/状態	機能
H’**40	D11～D0	H’0FFE～H’0	1CH	GAIN データ
H’**42			2CH	
H’**44			3CH	
H’**46			4CH	
H’**48			5CH	
H’**4A			6CH	
H’**4C			7CH	
H’**4E			8CH	
H’**50			9CH	
H’**52			10CH	
H’**54			11CH	
H’**56			12CH	
H’**58			13CH	
H’**5A			14CH	
H’**5C			15CH	
H’**5E			16CH	
H’**60			17CH	
H’**62			18CH	
H’**64			19CH	
H’**66			20CH	
H’**68			21CH	
H’**6E			22CH	
H’**6C			23CH	
H’**6E			24CH	
H’**70			25CH	
H’**72			26CH	
H’**74			27CH	
H’**76			28CH	
H’**78			29CH	
H’**7A			30CH	
H’**7C			31CH	
H’**7E			32CH	

※ **はロータリースイッチ S3,S2 で設定した値。

8 ビットモード時　8BIT 時は下位→上位の順にアクセスして下さい。

表 18 8 ビットモード時の AD5383 の GAIN データレジスタ

アドレス	データ	W 値	設定項目/状態	機能
H’**40	D7～D0	H'FF～H'0	1CH 下位データ	GAIN データ
H’**41	D3～D0	H’F～H’0	1CH 上位データ	
H’**42	D7～D0	H'FF～H'0	2CH 下位データ	
H’**43	D3～D0	H’F～H’0	2CH 上位データ	
H’**44	D7～D0	H'FF～H'0	3CH 下位データ	
H’**45	D3～D0	H’F～H’0	3CH 上位データ	
H’**46	D7～D0	H'FF～H'0	4CH 下位データ	
H’**47	D3～D0	H’F～H’0	4CH 上位データ	
H’**48	D7～D0	H'FF～H'0	5CH 下位データ	
H’**49	D3～D0	H’F～H’0	5CH 上位データ	
H’**4A	D7～D0	H'FF～H'0	6CH 下位データ	
H’**4B	D3～D0	H’F～H’0	6CH 上位データ	
H’**4C	D7～D0	H'FF～H'0	7CH 下位データ	
H’**4D	D3～D0	H’F～H’0	7CH 上位データ	
H’**4E	D7～D0	H'FF～H'0	8CH 下位データ	
H’**4F	D3～D0	H’F～H’0	8CH 上位データ	
H’**50	D7～D0	H'FF～H'0	9CH 下位データ	
H’**51	D3～D0	H’F～H’0	9CH 上位データ	
H’**52	D7～D0	H'FF～H'0	10CH 下位データ	
H’**53	D3～D0	H’F～H’0	10CH 上位データ	

※ **はロータリースイッチ S3,S2 で設定した値。

続く

続き

アドレス	データ	W 値	設定項目/状態	機能
H’**54	D7～D0	H'FF～H'0	11CH 下位データ	GAIN データ
H’**55	D3～D0	H'F～H'0	11CH 上位データ	
H’**56	D7～D0	H'FF～H'0	12CH 下位データ	
H’**57	D3～D0	H'F～H'0	12CH 上位データ	
H’**58	D7～D0	H'FF～H'0	13CH 下位データ	
H’**59	D3～D0	H'F～H'0	13CH 上位データ	
H’**5A	D7～D0	H'FF～H'0	14CH 下位データ	
H’**5B	D3～D0	H'F～H'0	14CH 上位データ	
H’**5C	D7～D0	H'FF～H'0	15CH 下位データ	
H’**5D	D3～D0	H'F～H'0	15CH 上位データ	
H’**5E	D7～D0	H'FF～H'0	16CH 下位データ	
H’**5F	D3～D0	H'F～H'0	16CH 上位データ	
H’**60	D7～D0	H'FF～H'0	17CH 下位データ	
H’**61	D3～D0	H'F～H'0	17CH 上位データ	
H’**62	D7～D0	H'FF～H'0	18CH 下位データ	
H’**63	D3～D0	H'F～H'0	18CH 上位データ	
H’**64	D7～D0	H'FF～H'0	19CH 下位データ	
H’**65	D3～D0	H'F～H'0	19CH 上位データ	
H’**66	D7～D0	H'FF～H'0	20CH 下位データ	
H’**67	D3～D0	H'F～H'0	20CH 上位データ	
H’**68	D7～D0	H'FF～H'0	21CH 下位データ	
H’**69	D3～D0	H'F～H'0	21CH 上位データ	
H’**6A	D7～D0	H'FF～H'0	22CH 下位データ	
H’**6B	D3～D0	H'F～H'0	22CH 上位データ	
H’**6C	D7～D0	H'FF～H'0	23CH 下位データ	
H’**6D	D3～D0	H'F～H'0	23CH 上位データ	
H’**6E	D7～D0	H'FF～H'0	24CH 下位データ	
H’**6F	D3～D0	H'F～H'0	24CH 上位データ	

※ **はロータリースイッチ S3,S2 で設定した値。

続く

続き

アドレス	データ	W 値	設定項目/状態	機能
H ‘ **70	D7～D0	H'FF～H'0	25CH 下位データ	GAIN データ
H ‘ **71	D3～D0	H'F～H'0	25CH 上位データ	
H ’ **72	D7～D0	H'FF～H'0	26CH 下位データ	
H ’ **73	D3～D0	H'F～H'0	26CH 上位データ	
H ’ **74	D7～D0	H'FF～H'0	27CH 下位データ	
H ’ **75	D3～D0	H'F～H'0	27CH 上位データ	
H ’ **76	D7～D0	H'FF～H'0	28CH 下位データ	
H ’ **77	D3～D0	H'F～H'0	28CH 上位データ	
H ’ **78	D7～D0	H'FF～H'0	29CH 下位データ	
H ’ **79	D3～D0	H'F～H'0	29CH 上位データ	
H ’ **7A	D7～D0	H'FF～H'0	30CH 下位データ	
H ’ **7B	D3～D0	H'F～H'0	30CH 上位データ	
H ’ **7C	D7～D0	H'FF～H'0	31CH 下位データ	
H ’ **7D	D3～D0	H'F～H'0	31CH 上位データ	
H ’ **7E	D7～D0	H'FF～H'0	32CH 下位データ	
H ’ **7F	D3～D0	H'F～H'0	32CH 上位データ	

※ **はロータリースイッチ S3,S2 で設定した値。

7-5).[CLR CODE]
クリア実行時のデータをライトします。
※　詳細は AD5383 の説明書を参照して下さい。

16 ビットモード時

表 19　16 ビットモード時の AD5383 の CLR データレジスタ

アドレス	データ	W 値	設定項目/状態	機能
H'**02	D11-D0	H’0FFF～H’0	12 ビットデータ	CLR データ

※ **はロータリースイッチ S3,S2 で設定した値。

8 ビットモード時

表 20　8 ビットモード時の AD5383 の CLR データレジスタ

アドレス	データ	W 値	設定項目/状態	機能
H'**02	D7-D0	H’FF～H’0	下位 8 ビットデータ	CLR データ
H'**03	D3-D0	H’F～H’0	上位 4 ビットデータ	

※ **はロータリースイッチ S3,S2 で設定した値。

7-6).[SOFT CLR]
ソフト CLR(クリア)を実行します。
クリアを実行すると全 CH のデータを[CLR CODE]でセットした値に更新することが出来ます。
任意のデータをライトして下さい。
※　詳細は AD5383 の説明書を参照して下さい。

表 21　CLR 実行アドレス

アドレス	データ	W 値	設定項目/状態	機能
H'**04	なし	なし		CLR 実行

※ **はロータリースイッチ S3,S2 で設定した値。

7-7).[SOFT POWER DOWN]
ソフトパワーダウンを実行します。
任意のデータをライトして下さい。
※　詳細は AD5383 の説明書を参照して下さい。

表 22　パワーダウン実行アドレス

アドレス	データ	W 値	設定項目/状態	機能
H'**10	なし	なし		パワーダウン実行

※ **はロータリースイッチ S3,S2 で設定した値。

7-8). [SOFT POWER UP]

ソフトパワーアップを実行します。
任意のデータをライトして下さい。

※ 詳細は AD5383 の説明書を参照して下さい。

表 23 パワーアップ実行アドレス

アドレス	データ	W 値	設定項目/状態	機能
H'**1E	なし	なし		ソフトパワーアップ実行

※ **はロータリースイッチ S3,S2 で設定した値。

7-9). [SOFT POWER DOWN]

ソフトリセットを実行します。
AD5383 の内部レジスタがデフォルト値にセットされます。
この動作には約 135usec かかります。

アドレス	データ	W 値	設定項目/状態	機能
H'**12	なし	なし		ソフトパワーダウン実行

※ **はロータリースイッチ S3,S2 で設定した値。

8. スイッチ設定

この項ではスイッチ設定について説明します。

S1：モード設定スイッチです。(出荷時設定は Bit1 のみ「ON」です)

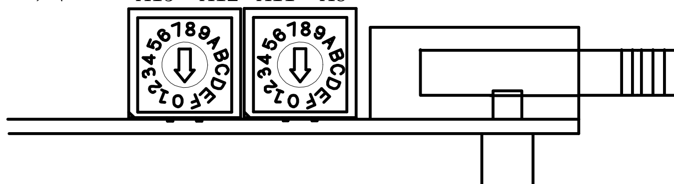
表 24 動作モード設定スイッチ

スイッチ	Bit	設定値	設定項目/状態	機能
S1	1	ON	16 ビット	104 バスのデータバス幅を選択します
		OFF	8 ビット	
	2	ON	使用する	104 バスの SBHE 信号を使用の選択をします
		OFF	使用しない	
	3	ON	ビッグ	データバスのエンディアンを選択します。(8 ビットの時のみ)
		OFF	リトル	
	4	ON	外部	DAC 変換のタイミング入力を選択します。
		OFF	内部	

S2：本基板のデコードアドレス A11～A8 を設定します。
CPU 周辺デバイスの都合で決定、設定してください。
(出荷時設定は「0」です)

S3：本基板のデコードアドレス A15～A12 を設定します。
CPU 周辺デバイスの都合で決定、設定してください。
(出荷時設定は「0」です)

図 3 アドレスデコード SW の位置とデコードアドレス



9. コネクタ

この項では、各コネクタピンの信号を示します。

9-1)CN1：DAC 0ch～15ch の出力端子です。

適合コネクタ形式：オムロン製 XG4C-4034 又は同等品

表 25 CN1 のピン配置

№	信号	№	信号
1	VOUT0	2	GND
3	VOUT1	4	GND
5	VOUT2	6	GND
7	VTOU3	8	GND
9	VOUT4	10	GND
11	VOUT5	12	GND
13	VOUT6	14	GND
15	VOUT7	16	GND
17	VOUT8	18	GND
19	VOUT9	20	GND
21	VOUT10	22	GND
23	VOUT11	24	GND
25	VOUT12	26	GND
27	VOUT13	28	GND
29	VOUT14	30	GND
31	VOUT15	32	GND
33	LDAC	34	GND
35	+5V	36	GND
37	+12V	38	GND
39	-12V	40	GND

9-2)　CN2：DAC 16ch～31ch の出力端子です。
　適合コネクタ形式：オムロン製 XG4C-4034 又は同等品

表 26　CN2 のピン配置

№	信号	№	信号
1	VOUT16	2	GND
3	VOUT17	4	GND
5	VOUT18	6	GND
7	VOUT19	8	GND
9	VOUT20	10	GND
11	VOUT21	12	GND
13	VOUT22	14	GND
15	VOUT23	16	GND
17	VOUT24	18	GND
19	VOUT25	20	GND
21	VOUT26	22	GND
23	VOUT27	24	GND
25	VOUT28	26	GND
27	VOUT29	28	GND
29	VOUT30	30	GND
31	VOUT31	32	GND
33	EXTLD	34	GND
35	+5v	36	GND
37	+12V	38	GND
39	-12v	40	GND

9-3)　CN3：外部電源入/出力端子です。
　適合コネクタ形式：航空電子製　ハウジング IL-G5S-S3C2-SA
　コンタクトピン IL-G-C2-SC

表 27　CN3 のピン配置

1	+5V
2	GND
3	+12VA
4	GND
5	-12VA

※±12V は LF70 内部では消費しません。

10. DAC 仕様

10-1 リファレンス電圧

AD5383 はリファレンス電圧を内臓しています。コントロールレジスタで電圧を選択できます。

内部：内臓リファレンス 1.25v または、2.50v

外部：AD198PG(オプション)

また、内部/外部の切り替えは、AD5383 内部コントロールレジスタで選択できます。

10-2 出力電圧

出力電圧は次式で与えられます。

x2＝[m＋2/2^12×DAC]＋(c－2^(12－1))

Vout＝2×Vref×x2/2^12

x2＝内部計算値

DAC＝入力データ

m＝ゲインデータ

n＝DAC分解能

c＝オフセットデータ

Vout＝出力電圧

※　ゲインファクター、オフセットについては AD5383 の説明書を参照して下さい。

11. 基本的な使い方

11-1) [LF54 編]

以下、に[LF54]を使用した場合の 1ch 出力に 2.5v を出力する例を示します。
動作モード DIPSW、アドレスデコード SW を以下のように設定します。

・16BIT
・リトルエンディアン
・DAC 出力更新内部
・デコードアドレス S3=”0“ ,S2=”1”→”01”

1)-1
LF70 を初期化します。

```
(*(volatile unsigned short  *)0xC00136) = 0;       //LF70 リセット　データは任意
```

この動作で LF70 が初期化されます。

1)-2
D5383 ソフトウェアリセットを実行します。

```
(*(volatile unsigned short  *)0xC0011E) = 0;//ソフトウェアリセット　データは任意
```

この動作で AD5383 内のレジスタがデフォルト値にセットされます。

1)-3
ビジー確認
アドレス[**32]H をリードして D4(BUSY)が 1 になっていることを確認します。

```
while(1)//リセット後のビジーをチェック
{
  lf70 =(*(volatile unsigned short  *)0xC00132) & 0x0010;
                //ハードウェアファンクション設定リード
      if( lf70 == 0x0010 ) //nBUSY=1 なら抜ける
      {
              break;
      }
}
```

1)-4
コントロールレジスタを設定します。
・リファレンス電圧の外/内部　内部を使用
・内部電圧選択　2.5V を使用
・そのほかは電源 ON 後のデフォルト値に設定。
アドレス[**18]H にデータ[0500]H をライトアクセスします。
※　AD5383 の内部レジスタの操作は AD5383 のデータシートを参照して下さい。

```
(*(volatile unsigned short  *)0xC00118) = 0x0500;
```

1)-5
各種ハードウェアファンクションの選択
以下のように選択した場合。
・　トグルファンクション　使用しない
・　CLR ファンクション　使用しない
・　パワーダウン　使用しない
アドレス[**32]H にデータ[0002]H をライトアクセスします。
※　AD5383 のハードウェアファンクションは AD5383 のデータシートを参照して下さい。

```
(*(volatile unsigned short  *)0xC00132) = 0x0002;
```

1)-6.
更新指令アドレスを指定します。
ここではアドレスを[0FF*]H とします。(A3～A0 はデコードされません)
アドレス[**30]H に更新命令出力先となるアドレス[00FF]H をライトします。

```
(*(volatile unsigned short  *)0xC00130) = 0x00FF;             //出力更新アドレス
```

※設定するアドレスは他のアドレスと重複しない値に設定してください。

1)-7

DAC CH0 へデータ書き込み

アドレス[**C0]H に AD5383 の DAC データ[07FF]H をライトします。
アドレス[**80]H に AD5383 のオフセットデータ[0800]H をライトします。
アドレス[**40]H に AD5383 のゲインデータ[0FFE]H をライトします。

```
(*(volatile unsigned short  *)0xC001C0) = 0x07ff;//dac データ
(*(volatile unsigned short  *)0xC00180) = 0x0800;//offset=0 データ
(*(volatile unsigned short  *)0xC00140) = 0x0ffe;//gain=1 データ
```

1)-8

ビジー確認

アドレス[**32]H をリードして D4(BUSY)が 1 になっていることを確認します。

```
while(1)//リセット後のビジーをチェック
{
        lf70 =(*(volatile unsigned short  *)0xC00132) & 0x0010;
        if( lf70 == 0x0010 )   //nBUSY=1 なら抜ける
        {
            break;
        }
}
```

1)-9

出力更新指令

1)-6.で設定したアドレス[00FF]H にライトします。(データは任意)
アドレスは A15～A4 の値がデコードされ A3～A0 は無視されます。

```
(*(volatile unsigned short  *)0xC00FF0) = 0;
```

※nBUSY=LOW でも更新指令自体は有効ですが､アナログ値は nBUSY=HI になってから更新されます。

1)-10

出力確認

1CH に 2.5V が出力されます。

11-2) [LF55 編]
以下、に[LF55]を使用した場合の 1ch 出力に 2.5v を出力する例を示します。
動作モード DIPSW、アドレスデコード SW を以下のように設定します。
・8BIT
・リトルエンディアン
・DAC 出力更新内部
・デコードアドレス S3=”0“　,S2=”1”→”01”

2)-1
LF70 を初期化します。
```
(*(volatile unsigned char  *)0xC00136) = 0;          //LF70 リセット　データは任意
```
この動作で LF70 が初期化されます。

2)-2
D5383 ソフトウェアリセットを実行します。
```
(*(volatile unsigned char  *)0xC0011E) = 0;    //ソフトウェアリセット　データは任意
```
この動作で AD5383 内のレジスタがデフォルト値にセットされます。

2)-3
ビジー確認
アドレス[**32]H をリードして D4(BUSY)が 1 になっていることを確認します。
```
    while(1)//リセット後のビジーをチェック
    {
      lf70 =(*(volatile unsigned char  *)0xC00132) & 0x10;
                  //ハードウェアファンクション設定リード
          if( lf70 == 0x10 )   //nBUSY=1 なら抜ける
          {
                  break;
          }
    }
```

2)-4
コントロールレジスタを設定します。
・リファレンス電圧の外/内部　内部を使用
・内部電圧選択　2.5V を使用
・そのほかは電源 ON 後のデフォルト値に設定。
アドレス[**18]H にデータ[00]H をライトアクセスします。
アドレス[**19]H にデータ[05]H をライトアクセスします。
※　AD5383 の内部レジスタの操作は AD5383 のデータシートを参照して下さい。

```
(*(volatile unsigned char  *)0xC00118) = 0x00;
(*(volatile unsigned char  *)0xC00119) = 0x05;
```

2)-5
各種ハードウェアファンクションの選択
以下のように選択した場合。
・　トグルファンクション　使用しない
・　CLR ファンクション　使用しない
・　パワーダウン　使用しない
アドレス[**32]H にデータ[02]H をライトアクセスします。
※　AD5383 のハードウェアファンクションは AD5383 のデータシートを参照して下さい。

```
(*(volatile unsigned char  *)0xC00132) = 0x02;
```

2)-6.
更新指令アドレスを指定します。
ここではアドレスを[0FF*]H とします。(A3～A0 はデコードされません)
アドレス[**30]H に更新命令出力先となるアドレス[FF]H をライトします。
アドレス[**31]H に更新命令出力先となるアドレス[00]H をライトします。

```
(*(volatile unsigned char  *)0xC00130) = 0xFF;                //出力更新アドレス
(*(volatile unsigned char  *)0xC00131) = 0x00;                //出力更新アドレス
```

※設定するアドレスは他のアドレスと重複しない値に設定してください。

2)-7
DAC CH0 へデータ書き込み
アドレス[**C0]H に AD5383 の DAC データ[FF]H をライトします。
アドレス[**C1]H に AD5383 の DAC データ[07]H をライトします。
アドレス[**80]H に AD5383 のオフセットデータ[00]H をライトします。
アドレス[**81]H に AD5383 のオフセットデータ[08]H をライトします。
アドレス[**40]H に AD5383 のゲインデータ[FE]H をライトします。
アドレス[**41]H に AD5383 のゲインデータ[0F]H をライトします。

```
(*(volatile unsigned char  *)0xC001C0) = 0xff;//dac データ
(*(volatile unsigned char  *)0xC001C1) = 0x07;//dac データ

(*(volatile unsigned char  *)0xC00180) = 0x00;//offset=0 データ
(*(volatile unsigned char  *)0xC00181) = 0x08;//offset=0 データ

(*(volatile unsigned char  *)0xC00140) = 0xfe;//gain=1 データ
(*(volatile unsigned char  *)0xC00141) = 0x0f;//gain=1 データ
```

2)-8
ビジー確認
アドレス[**32]H をリードして D4(BUSY)が 1 になっていることを確認します。

```
while(1)//リセット後のビジーをチェック
{
        lf70 =(*(volatile unsigned char  *)0xC00132) & 0x10;
        if( lf70 == 0x10 )      //nBUSY=1 なら抜ける
        {
            break;
        }
}
```

2)-9
出力更新指令
1)-6.で設定したアドレス[00FF]H にライトします。(データは任意)
アドレスは A15～A4 の値がデコードされ A3～A0 は無視されます。

```
(*(volatile unsigned char  *)0xC00FF0) = 0;
```

※nBUSY=LOW でも更新指令自体は有効ですが、アナログ値は nBUSY=HI になってから更新されます。

2)-10
出力確認
1CH に 2.5V が出力されます。

12. 基板外形・配置

図 4 部品配置図(部品面視)

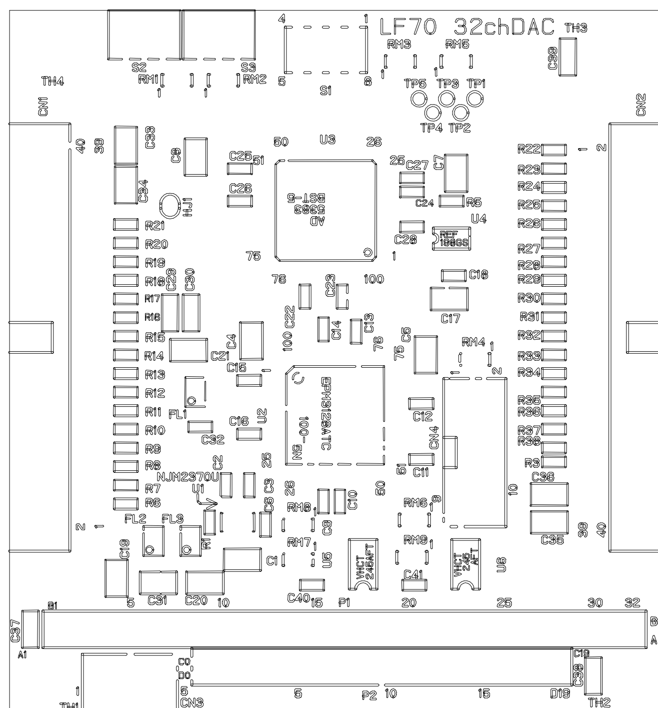
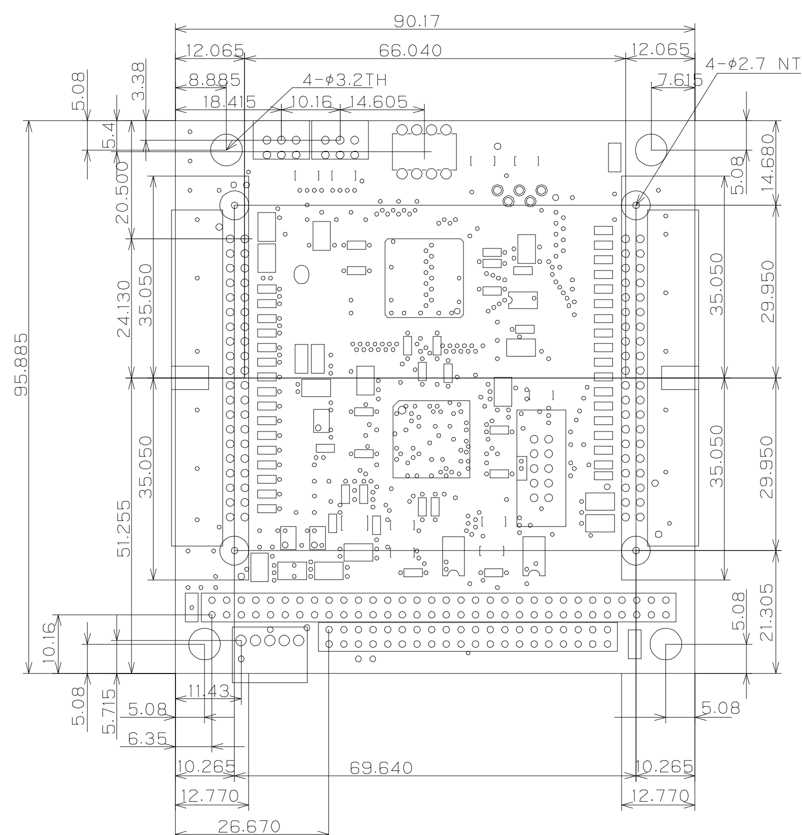


図 5 基板外形図


90.17
12.065
66.040
12.065
4-φ2.7 NT
8.885
4-φ3.2TH
7.615
18.415
10.16
14.605
5.08
3.38
5.4
20.500
24.130
35.050
95.885
35.050
51.255
10.16
5.08
14.680
35.050
29.950
35.050
29.950
5.08
21.305
5.08
5.715
11.43
5.08
6.35
5.08
10.265
69.640
10.265
12.770
12.770
26.670